

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-176925

(13)公開日 平成11年(1999)7月2日

(51)Int.Cl.⁶

H 0 1 L 21/76
21/762
27/12

識別記号

F 1

H 0 1 L 21/76
27/12
21/76

M
P
D

(21)出願番号 特願平9-335704

(22)出願日 平成9年(1997)12月5日

審査請求 未請求 請求項の数4 (0頁) (全5頁)

(71)出願人 594021175

旭化成マイクロシステム株式会社
東京都渋谷区代々木1丁目24番10号

(72)発明者 河野 通裕
宮崎県延岡市旭町6丁目4100番地 旭化成
マイクロシステム株式会社内

(74)代理人 弁理士 谷 義一

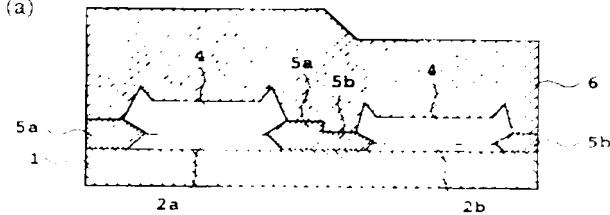
(54)【発明の名称】 半導体装置の製造方法

(55)【要約】

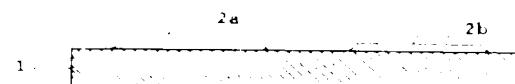
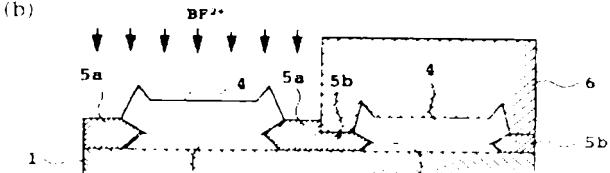
【課題】 フィールド酸化膜と略同一材料からなる下地層のえぐれをなくし、歩留まりを向上させ、信頼性の高い半導体装置を製造する。

【解決手段】 一回路粒子分離で用いられるアーチカルシウム酸化膜層(4)、スルガルコン酸化膜層(5a)、シリコン酸化膜層(5b)、並びにオキシゲンを注入して、ドライイオナシリコン酸化膜層(6)を、さらに、走査速度を変えることによって、下地層であるシリコン酸化膜層(1)のえぐれをなくした状態で、厚さが異なるシリコン層(2a)、(2b)を同時に分離形成する。

(a)



(b)



【特許請求の範囲】

【請求項1】 絶縁層上に膜厚の異なる回路素子形成層を分離する半導体装置の製造方法。

前記絶縁層上に、段差部によって膜厚の異なる複数の領域に区分された凹凸素子形成層を形成する工程と、

前記四路素子形成層、接着力部以外の膜厚は異なる各領域に、塑化膜を形成する工程と、

前記空化膜をマスクとして前記段差部を酸化することにより、当該段差部上に素子分離のための膜厚の異なる二層化酸化膜を形成する工程と

前記膜厚の異なる 2 ネルト酸化膜の方も、膜厚が厚い方の 2 ネルト酸化膜の方に比べて注目する工程と

前記イオン交換膜をフィールド酸化膜と注入されていないフィールド酸化膜とを同時にエッチングすることによって、微小な開口部が形成される。

（3）前記の前段階で、半導体装置の構成部品を形成する工程と、前記の前段階で、半導体装置の構成部品を形成する工程とを具えたことを特徴とする半導体装置の製造方法。

【請求項2】 前記絶縁層をシリコン酸化膜とし、前記回路素子形成層をシリコン層とし、前記フィールド酸化膜をフィールドシリコン酸化膜としたことを特徴とする請求項1記載の半導体構造の製造方法。

【請求項3】 前記注入されるイオンは、フル化ボロン(BF₃)であることを特徴とする請求項1又は2記載の半導体装置の製造方法。

【請求項4】 SOT構造における絶縁層上のシリコン層の膜厚の異なる領域を分離することを特徴とする請求項1ないし3に記載の半導体装置の製造方法

【聲明函詳細內容】

[0001]

【発明の属する技術分野】本発明は、絶縁層上に厚さの異なる回路素子形成層を分離する半導体装置の製造方法に係り、特に、フッ化アルミニウム膜を用い、SOI（シリコン・オノ・アイソレータ）構造の厚さの異なる二つの層を分離する方法に関するものである。

[106]

【従来技術】通常、例えは、 n -型構造、即踏素子によって、同一電極基板上に、各部のドット状のノードをMOSFET上手と形成する場合において、厚さの異なるシリコン領域を分離することを必要の場合がある。

【参考】(3) ここで、従来における厚さの異なる二つの層を分離する性質や体積縮減率、製造方法を「層別化」として、特に、二つの層が重なることなく、互いに接しない、即ち、二つの層が完全に分離された状態で、成形されたことを示す。

してレジストをマスクして、所定の形狀にパターンをシグする。

【(1)(1)(6)】次に、図3-(b)の工程では、シリコン空化膜層4をマスクとして用い、選択的にウェーブ酸化を行なう。このウェーブ酸化により、厚さの異なる二つのシリコン酸化膜層5a, 5bを形成する。

【0.007】次に、図 8 (c) の工程では、 NaOH 水溶液と水を 1 : 1 の割合で混合したエタノール液を用いて、エタノール中に硫酸化銀を溶解させた。

シリコン化膜層とシリコーン酸化膜層との境界部分を露出させる。これにより、分離した回路素子として、膜厚の異なるシリコン層と、各自を形成する。

[1) (1) (1) - 3]

【発明の解決手段】上記とする課題を解決するため、回路素子部分となるシリコン層2の分離のために用いられるフィールドシリコン酸化膜層4は、5もをエッチングする際、そのフィールドシリコン酸化膜層4も5もと同一材料からなる下地シリコン酸化膜層1までがエッチングされる場合がある。

【(0) (0)】すなわち、シリコン層2の厚さの異なる領域であるシリコン層2a、2bを分離する場合、フィールドシリコン酸化膜層5a、5bの厚さは、酸化するシリコン層2の膜厚に比例した厚さになる。このため、図3 (a) のようなウェットエッチング工程において、膜厚の厚い方のフィールドシリコン酸化膜層5aの部分にエッチング時間を合わせてウェットエッチングを行うと、膜厚の薄い方のフィールドシリコン酸化膜層5bの

下方のシリコーン酸化膜層1まではガラスエッチングされ、元のくずれが生じてしまう。このえぐれはシリコーン層2までの下面までいく「ゲーリング」であり、これがシリコーン層2に付着するときに問題となる。

【C-01-0】そこで、本発明の目的を達成するため、カルボン酸化膜を塗装した構造とする半導体基板、それを形成する複数の塗装工程、半導体素子の複数個の形成工程、半導体装置の製造方法を組合せたものである。

卷之三

【課題を解決するための手段】本発明は、絶縁層上に膜厚の異なる回路素子形成層を分離する半導体装置、製造方法である。前記絶縁層上に、段差部によって膜厚の異なる複数の領域に凸曲された回路素子形成層を形成する工程で、前記回路素子形成層、段差部以外、膜厚が異なる各層上に、導体膜を形成する工程である。

厚い異なる領域を分離する工程とを経ることによって、半導体装置の製造方法を提供する。

【0012】ここで、前記絶縁層をシリコン酸化膜とし、前記回路素子形成層をシリコン層とし、前記シリコン酸化膜をシリコン下シリコン酸化膜とすることができる。

【0013】前記上記電子オホは、アーチ化水素(EBH24)とすることができる。

【0014】(a)上構造における絶縁層とシリコン層の膜厚の異なる領域を分離することができる。

【0015】

【発明の実施の形態】以上、図面を参照して、本発明の実施の形態を詳細に説明する。

【0016】本例では、(a)上構造におけるシリコン層の膜厚の異なる領域を分離する半導体装置の製造方法について述べる。

【0017】図1-(a)の工程について述べる。まず下地層としてシリコン酸化膜層1上に、膜厚の異なる領域を有する回路素子形成層としてシリコン膜層2を形成する。

【0018】次に、そのシリコン膜層2の膜厚の異なる各領域上に、厚さ2.0nmのシリコン酸化膜層(S1)(S2)を、例えば、酸化温度950°C、水素ガス5L/分、酸素ガス1.0L/分、酸化時間6分の条件にて形成する。

【0019】次に、そのシリコン酸化膜層3上に、厚さ1.40nmのシリコン酸化膜層(S3)(N_x)4を積層する。この積層は、上P(減圧)CVD法を行い、例えば、デポジション温度750°C、B₂H₆1L、ガス2.0sccm、N₂1L、ガス2.0sccm、デポジション時間1.40分の条件で行う。

【0020】次に、シリコン酸化膜層4に対してレジストをドットし、所定の形状にハッティングする。これにより、膜厚の異なる各シリコン膜層2、2'、3'には、ハッティングされた各部のシリコン酸化膜層1を形成する。

【0021】次に、(a)の上構造についてシリコン酸化膜層1をドットとして用い、選択的にウエーブ上酸化を行なう。このウエーブ上酸化は、例えば、酸化温度1000°C、水素ガス5L/分、酸素ガス4.5L/分、酸化時間1.12分の条件にて行なわれる。ここでいわゆる上酸化とは、水素ガス成分が多含まれる場合

の薄いシリコン膜層2と、膜厚の薄いシリコン膜層2'とに分離される。この場合、シリコン膜層2は、2'よりもシリコン酸化膜層4のエッジ部分に酸素が衝突し酸化が進行するため、バースマークと呼ばれる形状となる。

【0023】以下の工程は、(a)上構造シリコン酸化膜層5が、ドットを除去する工程について説明するものである。

【0024】次に、図2-(a)の工程について述べる。フィールドシリコン酸化膜層5が、ドットを含む全面に渡って、レジストを確実にする。その後、片側の領域をドック・露光して、フィールドシリコン酸化膜層5を側面レジストを除去する。

【0025】次に、図2-(b)の工程について述べる。フィールドシリコン酸化膜層5の側面のレジストをマスクとして、膜厚の厚い方のフィールドシリコン酸化膜層5'のみに対して、EBH24のイオンを注入する。この場合、イオン注入装置を用い、例えば、加速エネルギー65keV、ドーズ量アーチー1.0μA/cm²の条件にてイオンを注入する。

【0026】次に、図2-(c)の工程について述べる。レジストを除去した後、アニール処理を行う。このアニールは、例えば、温度950°C、窒素ガス1L/分、アニール時間20分の条件にて行う。

【0027】次に、フィールドシリコン酸化膜層5'、ドットをエッチングする。このエッチングは、例えば、アーチ化水素酸(EBH)と水とを1:1に混合したエッチング液を行い、エッチング時間1.1~8分の条件にて行う。このエッチングによって、シリコン膜層2とシリコン酸化膜層1との境界部分を露出させら。なお、アニール処理を施さずに、エッチングを行う場合もある。

【0028】最後に、各シリコン膜層2と2'上のシリコン酸化膜層4を除去する。この場合、例えば、日立のEBH400溶解性水溶液を用いて、温度100°Cで、除去時間1.6分の条件下して、シリコン酸化膜層4を除去する。このようにして、片側のドットを用いた上酸化にて、互いに膜厚の異なる各シリコン酸化膜層4、5'を同時に除去すことができる。

【0029】次に、イオン注入と、フィールドシリコン酸化膜層5'、ドットのエッチングドットとの相関関係について説明する。

【0030】表1は、(a)上構造シリコン酸化膜層1のドットを用いた上酸化における、ドットの

イオン注入とSi酸化膜との相関	
イオン注入条件	1:19 HFエッチレート
・イオン注入 (B ₂ O ₃ : 7.5 × 10 ¹⁴ /cm ² , 65keV) ・アーチル処理	250Å/分
イオン注入無し	170Å/分

【0032】この表1から、イオン注入をしない場合には170Å/分なのでに対して、イオン注入を行った場合には250Å/分となり、エッティング速度が速くなることがわかる。左欄にこの例では、アーチル処理を行ったが、アーチルしない場合には、エッティングレートが4倍程度速くなる。

【0033】このようにイオン注入の有無によってエッティングレートに差を出すことができるを利用しても、本工程では、膜厚の厚いフィールドシリコン酸化膜層^{3a}に対してはイオン注入を行い、膜厚の薄いフィールドシリコン酸化膜層^{3b}に対してはイオン注入をしないように設定した。

【0034】これにより、前記図2(c)の工程において、膜厚が薄いフィールドシリコン酸化膜層^{3b}ではエッティングの進行速度が遅いのに対して、イオンが注入された膜厚が厚いフィールドシリコン酸化膜層^{3a}ではエッティングの進行速度を速くすることができるため、エッティングがシリコン酸化膜¹の表面に到達した時点でフィールドシリコン酸化膜層^{3a}、^{3b}の両方を同時に等しく除去することができる。従って、従来例の図3(c)に示したような、膜厚の薄いシリコン膜層^{3b}側より上方のシリコン酸化膜層¹までもがエッティングされるようなく現象をなすことができる。

【0035】

10 【発明の効果】以上説明したように、本発明によれば、回路素子分離に用いられる厚さの異なるフィールドシリコン酸化膜^{3a}、^{3b}、厚さの薄い方のフィールドシリコン酸化膜^{3b}のみにイオンを注入し、厚さの異なるフィールドシリコン酸化膜^{3a}のエッティング速度を変えるようにしたので、フィールドシリコン酸化膜とその下地層との同一材料によって構成されている場合においても、その下地層までもがエッティングされるというような現象をなくすことができ、これにより、歩留まりを向上させ、信頼性の高い半導体装置を製造することができる。

20 【図面の簡単な説明】

【図1】本発明の第1の実施の形態である半導体装置の製造方法を示す工程図である。

【図2】図1に統じて、本発明に係る半導体装置の製造方法を示す工程図である。

【図3】従来の半導体装置の製造方法を示す工程図である。

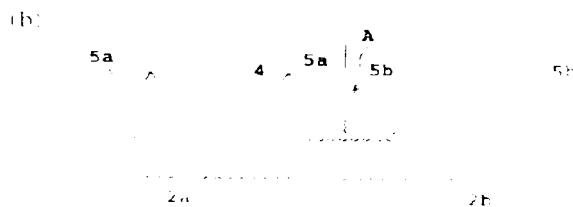
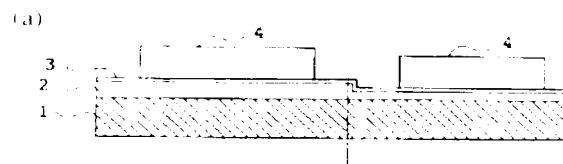
【符号の説明】

1. 絶縁層(シリコン酸化膜)

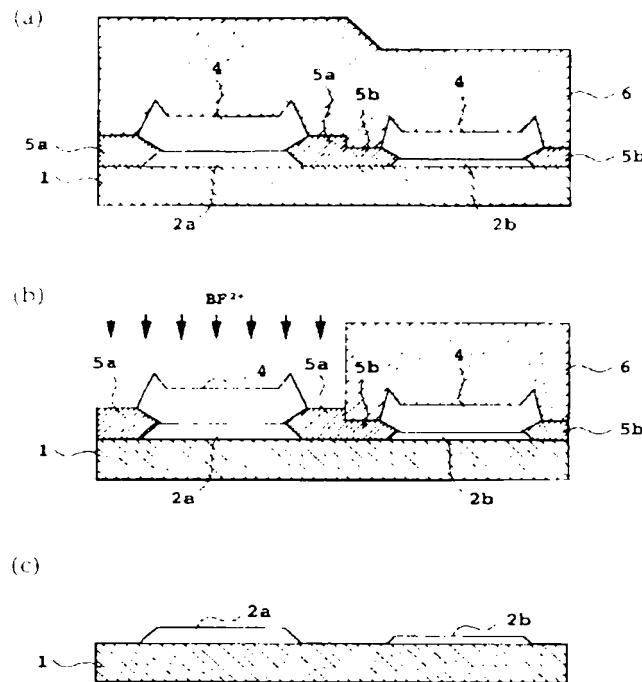
2. 2a, 2b. 回路素子形成層(シリコン層)

3a, 3b. フィールド酸化膜(フィールドシリコン酸化膜)

【図1】



【図2】



【図3】

